

# 2024 IEEE CICC Review

고려대학교 반도체시스템공학과 박사과정 김현진

## Session 9 Power Management Techniques

이번 2024 IEEE CICC의 Session 9은 Power Management Techniques라는 주제로 총 7편의 논문이 발표되었다. 이 세션에서는 switched-capacitor gate driver, wireless power converter, low dropout regulator 등 다양한 구조의 power converter들이 소개되었고, 주로 각각의 converter 구조들이 속한 분야에서 겪고 있는 중요한 문제점들을 개선하는 방향으로 연구가 진행되었다. 특히, 올해는 주로 pseudo-adiabatic gate driver, class-G digital-shunt-aided buck converter 등 기존 구조에서 탈피한 새로운 power converter architecture들을 기반으로 이슈들을 해결하려 했다는 점이 주목할 만하다.

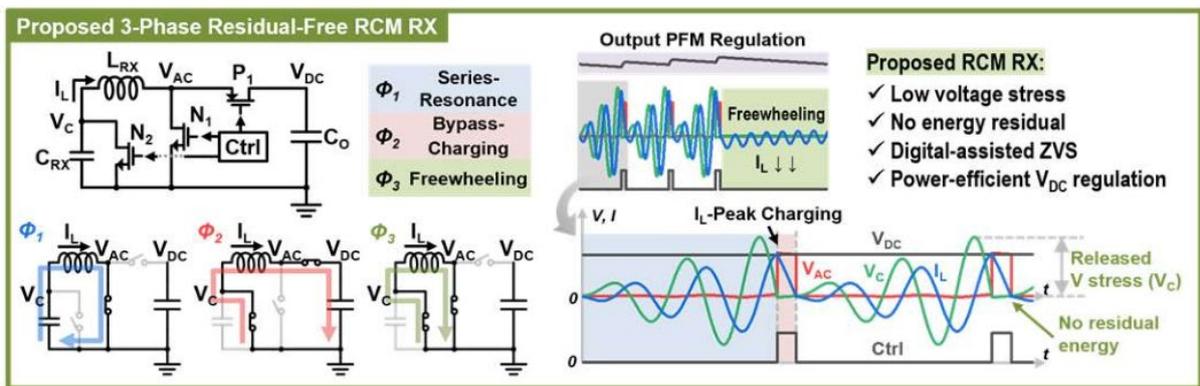
**#9-1** 기존의 discrete GaN & Si power device용 게이트 드라이버는 CMOS 스위치 등을 통한 hard-switching 방식을 사용하므로, discrete 소자의 parasitic gate capacitance를 충전했던 에너지가 방전 동작에서 전부 손실된다. 이러한 에너지 손실은 전체 컨버터의 효율성에 제한 요소가 되므로, 이 연구에서는 switched-capacitor converter를 사용하여 pseudo-adiabatic gate driving을 구현하였고, 기존 대비 2~7배 적은 스위칭 전력 손실을 달성하였다. 또한, gate driving하게 되는 power device 소자의 parasitic inductance & resistance에 따라서 컨버터의 동작 속도를 조절할 수 있도록 설계하였고, 추가적으로 게이트 드라이버의 다양한 모드를 구현하여 게이트 드라이버의 전력 손실과 동작 속도 간의 trade-off 관계를 보여주었다.



[그림 1] 본 논문에서는 GaN & Si-FET power device들을 사용하여 제안된 게이트 드라이버의 성능을 측정하였다.

제안된 게이트 드라이버는 130 nm RF-SOI 공정으로 설계되었으며, 0에서 5 V까지 게이트 전압을 높이는데 9.2 ns의 비교적 짧은 시간이 걸렸다. 본 논문에서 제안된 게이트 드라이버는 최신 게이트 드라이버들보다 높은 성능을 가지지만, 커패시터들과 직렬 연결되는 트랜지스터들로 인해 기존의 트랜지스터 스위치 기반의 게이트 드라이버보다 넓은 칩 면적이 필요하다는 단점이 존재한다. 또한, 게이트 드라이버의 동작 변화로 인해서 전체 inductive converter의 동작이 영향을 받게 되는데, 기존의 게이트 드라이빙 방식 대비 switched-capacitor gate driver가 전체 시스템에 미치는 영향에 대한 추가적인 분석이 필요하다.

**#9-2** 본 논문에서는 bio implant에 사용되는 무선 전력 전송(WPT) 회로를 소개한다. 해당 어플리케이션의 WPT는 비침습적으로 bio implant에 전력을 공급하므로, 낮은 coupling factor를 가지는 inductive link로 전력을 전송하게 된다. 이러한 전력 전달의 한계를 고려하여 기존의 WPT 회로들은 주로 병렬-LC 구조 또는 직렬-LC 구조들로 설계되었다. 하지만 기존의 구조들은 device breakdown이나 전력 전달 효율에 문제가 있고, 이를 해결하기 위해서 [그림 2]와 같은 3-phase residual-free resonant current-mode (RCM) 수신기 구조를 제안하였다.

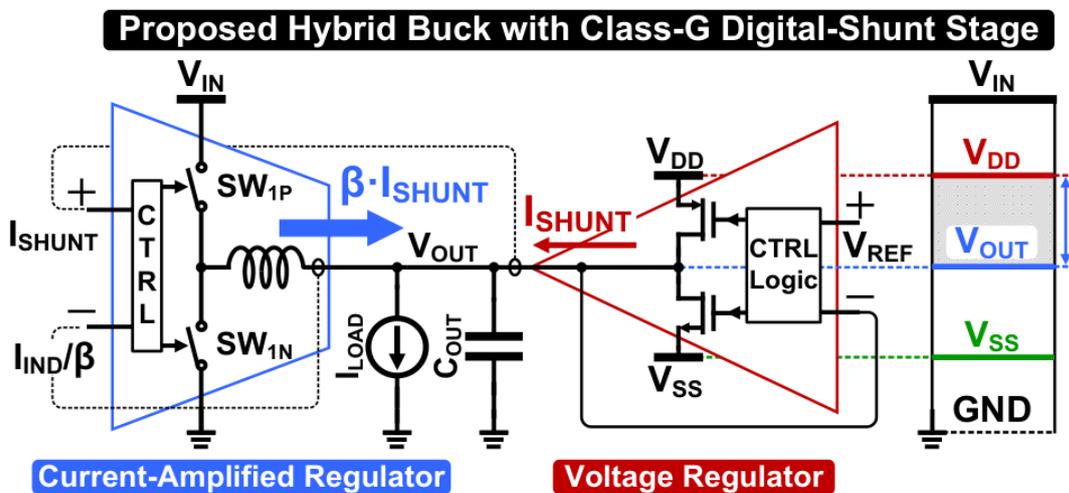


[그림 2] 본 논문에서 제안된 전력 수신기 구조이다.

제안된 구조를 통해서 수신기는 낮은 스위치 전압 스트레스와 잔류 에너지 없는 에너지 전달 동작을 달성하였으며, 출력 전달 효율 또한 상승하였다. 또한, 공진 동작을 위해서 새롭게 디지털 기반으로 동작하는 zero-voltage switching 회로를 제안하였으며, 제안된 WPT RX는 0.2 mA부터 64 mA까지 넓은 범위의 출력 전류를 전달할 수 있고, 최대 94.5%의 높은 전력 변환 효율을 달성하였다.

**#9-3** 본 논문에서 제안되는 DC-DC converter는 SoC의 workload 변화에 빠르게 대응할 수 있는 어플리케이션을 목적으로 제안되었다. 기존의 Inductive DC-DC converter들은 LC

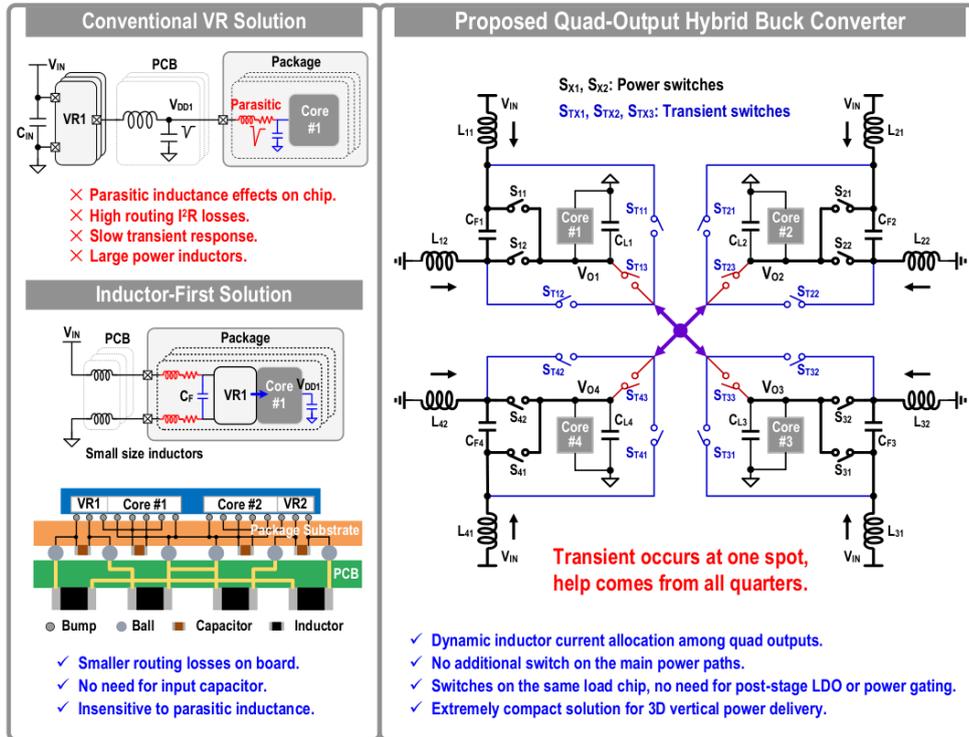
double-pole로 인해 느린 응답 속도를 가지고 있다. 따라서, 최근에는 인덕터 기반의 컨버터의 느린 응답을 극복하기 위해 다른 추가적인 regulator를 inductive stage와 병렬로 연결하여 dynamic voltage scaling (DVS) 성능을 증가시키는 연구들이 발표되었다. 하지만, 병렬 연결되는 저항 기반의 regulator는 inductive stage와는 다르게 비효율적으로 전력을 전달하므로, 기존의 shunt stage를 사용한 power converter들은 handover time 동안 전체 시스템의 전력 전달 효율이 감소한다는 문제가 있었다. 따라서, 본 논문에서는 inductive stage와 shunt stage 간의 output current correlation 및 current 기반 제어 방식을 통해서 DVS 성능을 증가시켰고 shunt stage로 인한 효율 하락을 완화했다.



[그림 3] 본 논문에서 제안된 class-G digital-shunt stage 구조이다.

제안된 게이트 드라이버는 28 nm 공정으로 설계되었으며, 7 V/μs의 DVS rate를 달성하였고, 디지털 제어 기반의 190 ns의 짧은 current handover time을 통해서 DVS 기간 동안의 효율 하락을 감소시켰다. 하지만 본 논문에서 사용되는 입력 전압, 인덕턴스 및 출력 커패시터 크기는 기존 논문들과 크게 달라서 새로운 아키텍처로 인한 성능 향상 값을 정확하게 비교하기 어렵다고 생각된다. 또한, 작은 인덕터와 출력 커패시터를 사용하였으므로, 기존의 shunt stage가 없는 buck converter과 비교하였을 때의 DVS 및 transient response 성능 증가율에 대한 추가적인 분석이 필요하다고 생각한다.

**#9-4** 본 논문에서 제안되는 voltage regulator는 멀티코어 프로세서 어플리케이션에서 코어별 동적 전압 및 주파수 스케일링 동작을 목표로 설계된 회로이다. 해당 어플리케이션의 voltage regulator는 빠른 load transient response를 달성해야 하며, 효율에 영향을 주는 패키지 기생 성분들로 인한 IR drop 또한 고려하여 설계되어야 한다.

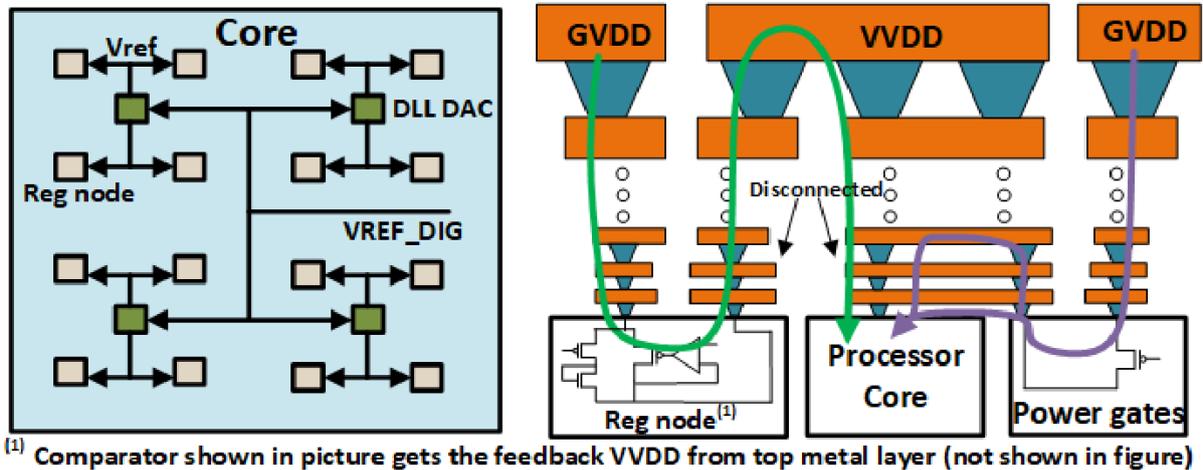


[그림 4] 본 논문에서 제안된 quad-output hybrid buck converter 구조이다.

[그림 4]은 본 논문에서 제시된 구조를 보여준다. 논문에서 제시된 구조는 180 nm 공정을 사용하였고, 패키지의 기생 성분들을 고려한 inductor-first 구조를 기반으로 설계되었다. 또한, 4개의 병렬 컨버터로 구성되어 하나의 컨버터가 transient response에 돌입하게 된다면 다른 3개의 컨버터가 해당 컨버터의 transient response를 도와준다. 이러한 helping-one-spot 기술은 transient response 동안 발생하는 overshoot를 150 mV에서 72 mV로 52% 감소시켰고, 출력 전압 recovery time은 2.5 $\mu$ s에서 1.5 $\mu$ s로 단축했다. 또한, DCM에서 CCM으로 같이 전류 제어 모드의 변화가 있더라도 기존 아키텍처보다 빠른 회복 시간을 보여주었다. 하지만, 해당 동작은 다른 컨버터들의 출력에 cross-regulation을 발생시켰고, 실제 어플리케이션에서 하나의 컨버터 만이 아니라 다수의 컨버터가 transient response 동작을 하게 되는 상황에서 발생하는 stability issue에 대한 추가적인 설명이 필요하다고 생각된다.

**#9-5** 본 논문에서는 최신 프로세서의 분산 전력 공급 방식에 적합한 dropout regulator 아키텍처를 제안한다. 최신 프로세서에서는 단일 global supply voltage로도 코어별로 동적 전압-주파수 스케일링 (DVFS) 동작을 하기 위해서 칩 내부에서 다수의 low dropout regulator (LDO)를 통해서 전력을 공급한다. 하지만 기존 분산 전력 공급 방식들은 전력 전달 네트워크(PDN)의 기생 저항 성분이 크고, 시스템의 확장 가능성이 제한된다는 문제

가 있었다. 따라서, 본 논문에서는 기생 저항값을 고려한 병렬 power gating & dropout regulator 구조로 PDN의 기생 저항 성분을 줄이면서 빠른 transient response를 달성할 수 있었다.



[그림 5] 본 논문에서 제안된 분산 전력 공급용 voltage regulator 구조이다.

제안된 voltage regulator는 power gate만 동작하는 high performance 모드, 두 지 regulator가 병렬로 동작하는 regulation mode, regulator node만 동작하는 retention mode라는 3가지 동작 모드를 가진다. 또한, reference code를 전달받아서 regulation에 필요한 reference voltage를 생성해주는 지연 잠금 루프(DLL) 기반의 디지털-아날로그 컨버터(DAC)를 통해서 voltage regulator의 comparator 동작을 제어한다. 측정 결과로 44 mA에서 315 mA로 load transient response가 있을 때, VVDD 노드는 38 mV의 전압 강하와 108 mV의 전압 상승을 보인다. 낮은 전압에서 높은 전압으로의 DVS 동작에서는 0.85 $\mu$ s가 걸렸으며, 반대로 높은 전압에서 낮은 전압으로의 DVS 동작은 1.06  $\mu$ s가 걸렸다. voltage regulator의 제어 방식이 dynamic comparator의 스위칭 방식을 통한 regulation이므로 최신 구조들보다 큰 출력 커패시터가 요구되는 단점이 있지만, load regulation에서 높은 성능을 보여주었고 실제 프로세서 어플리케이션에 적합한 분산 전력 공급 방식을 제안하였다는 점에서 큰 의미가 있다.

**#9-6** 본 논문에서는 차량용 GaN 스위칭 전력 변환기에 중요한 전자기 간섭(EMI) 제어 방식을 제안한다. EMI는 차량용 반도체 설계 과정에서 전기차의 안정성을 고려하여 필수적으로 억제되어야 하는 요소이다. 기존 차량용 스위칭 전력 변환기들은 수동 필터를 통해서 EMI를 억제하였고, 이후 EMI 표준을 충족하는지 테스트하는 방식으로 설계되었다. 하지만, 실제 차량의 동작 상황이 사전에 정의된 테스트 조건과 크게 달라진다면, 스위칭 전력 변환기에 의한 EMI 값이 증가하므로, 차량용 어플리케이션으로는 폐쇄 루프 제어

방식이 더욱 적합하다. 따라서, 본 논문에서는 180 nm 공정을 통해서 stepwise random sampling 메커니즘을 적용한 500 MHz 광대역 폐쇄 루프 EMI 제어 회로를 설계하였다. 논문에서는 1.2 A에서 0.5 A로 출력 전화를 변화시켜도 EMI를 제거한 측정 결과를 보여주었으며, 폐쇄 루프 제어 방식을 사용했으므로 제안된 제어 시스템은 최신 논문들 대비 더욱 다양한 환경에 적응 가능한 시스템이라 할 수 있다.

**#9-7** 본 논문은 IoT와 현대 컴퓨팅 어플리케이션에 사용되는 완전 집적된 DC-DC 변환기의 문제점들과 혁신들에 대해 리뷰한다. 본 논문은 인덕터 기반의 컨버터와 커패시터 기반의 컨버터에 관해 설명하고, 그들이 가진 근본적인 문제점을 해결하기 위해서 다양한 아키텍처들이 제안되었다고 설명한다. 특히 인덕터와 커패시터를 같이 사용하는 하이브리드 컨버터들 또한 많이 연구되었는데, 여전히 완전 집적 DC-DC 변환기로 사용되기에는 전력 밀도가 부족하다는 문제를 설명하였다. 따라서, 공진 기반의 변환기들이 새롭게 연구되었고, 이들은 gate driving 또한 공진 방식을 사용하여 전력 효율을 높이면서 높은 전력 밀도 또한 달성하였다고 설명한다. 마지막으로 최신 3-D 기반의 집적 회로 기술이 기존 완전 집적된 DC-DC 변환기의 근본적인 문제인 낮은 품질 계수(Q-factor), 높은 등가 직렬 저항, 수동 부품의 낮은 에너지 밀도 등을 해소할 방안이 될 수 있음을 첨언하였다.

## 저자정보



### 명예기자 김현진

- 소 속 : 고려대학교 반도체시스템공학과 박사과정
- 연구분야 : PMIC & Ising Machines
- 이 메 일 : jamespul@korea.ac.kr
- 홈페이지 : <https://kilby.korea.ac.kr>

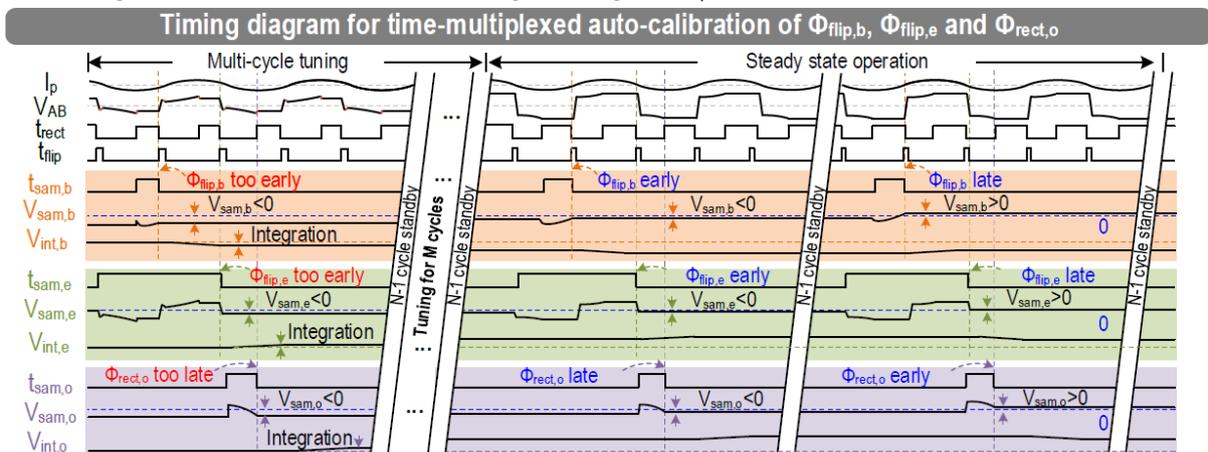
# 2024 IEEE CICC Review

KAIST 전기및전자공학부 박사과정 박수연

## Session 16: Energy Harvesting and Isolated Power Conversion

이번 2024 CICC Session 16의 Energy Harvesting 분야에서는 Piezoelectric, Triboelectric(TENG) 에너지 소자를 활용한 Timing Calibration Technique, High Efficiency MPPT, 공진을 이용한 Energy Recycling 기법들이 발표되었고, Isolated Power Conversion 분야에서는 CMTI, Aux Substrate Transformer를 활용한 Power-Area Efficient Gate Driving, 기존의 LLC converter의 frequency control과 charge control을 결합한 Hybrid Hysteretic Control (HHC)의 Symmetric Pulsewidth balancing technique이 소개되었다. 본 기사는 발표된 총 8편의 기술적 문제 해결 내용을 정리, 요약한다.

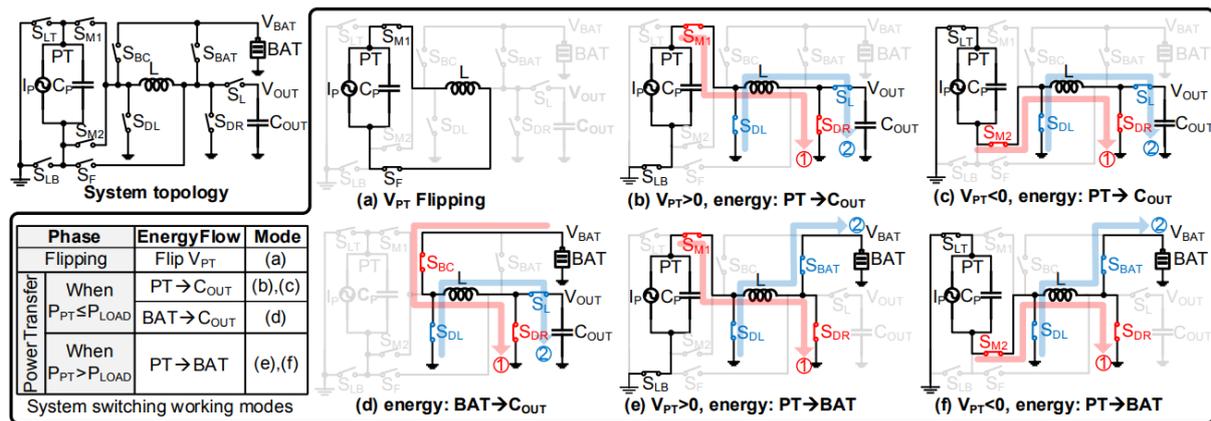
#16-1은 Macau, Tsinghua, Lisboa 대학/IST에서 발표한 논문이다. Ultrasonic piezoelectric harvesting은 AC current source  $I_p$ 의 높은 주파수로 인한 짧은 시간 마진과 온도 변화에 의한  $C_p$  값 변화로, Voltage Flip 및 Rectifier로 current를 전달하는 작은 timing 오차에도 Voltage Flipping Efficiency (VFE)가 크게 감소하는 특징이 있다. 본 논문은 PZT5A와 PZT5H Source를 활용해 -25 ~ 85도 동작 시 변화하는  $C_p$  값에 따른 주파수 변화에도 VFE를 높일 수 있는 Timing Calibration 기법을 소개하였다. Timing Calibration은 Flipping 시작과 끝 시점, 그리고 Rectifier로 전류를 전달하는 시점의 전압을 sampling하여 적분기와 VCDL로 Timing을 조절하는 방식으로 설계하였다. High-speed comparator 없이 sampling을 이용한  $I_p$ 의 Zero Crossing Timing을  $t_{flip}/2$ 시간으로 구현한 것이 주된 특징이



[그림 1] Voltage Flipping – Flip Begin & End, Rectifier on Timing Calibration Logic

다. Timing Calibration으로 timing Error를 개선하여 최대 340kHz의 PZT5A, PZT5H의 VFE를 -25 ~ 85도에서 Ideal과 1% 미만의 차이로 달성, FBR 대비 최대 Output Power를 x8.13, 7.52배 개선하였다.

#16-2는 Delft 공대에서 발표한 논문이다. 본 논문은 Piezoelectric Harvesting Interface의 전체 시스템인 Rectifier, MPPT, 그리고 Output Regulation을 Single Stage로 구성하여 Cascade Efficiency를 감소시킨 논문이다. Single Stage로 만듦으로써 Piezoelectric Transducer (PT)가 생성한 Power 양 ( $P_{PT}$ )이 부하에서 요구한 Power ( $P_{LOAD}$ )보다 작거나 클 수 있는 상황에서 변하는 전력 전달 양상을 아래 그림 2에 나타내었다.  $P_{PT}$ 값이  $P_{LOAD}$  값보다 작을 경우 PPT는 온전히 부하에 전달하며, 클 경우 Storage Capacitor에 인덕터에 저장한 에너지를 저장한다. 또한, Duty-Cycle-Based Algorithm에 기반한 Fully-Digital Fast MPPT를 제안하여 전체 시스템을 설계하였고, 92.5%의 End-to-End Efficiency를 달성하였다.



[그림 2] System Topology 및  $P_{PT}$ ,  $P_{LOAD}$  상황에 따른 Inductor Energy 전달 방식

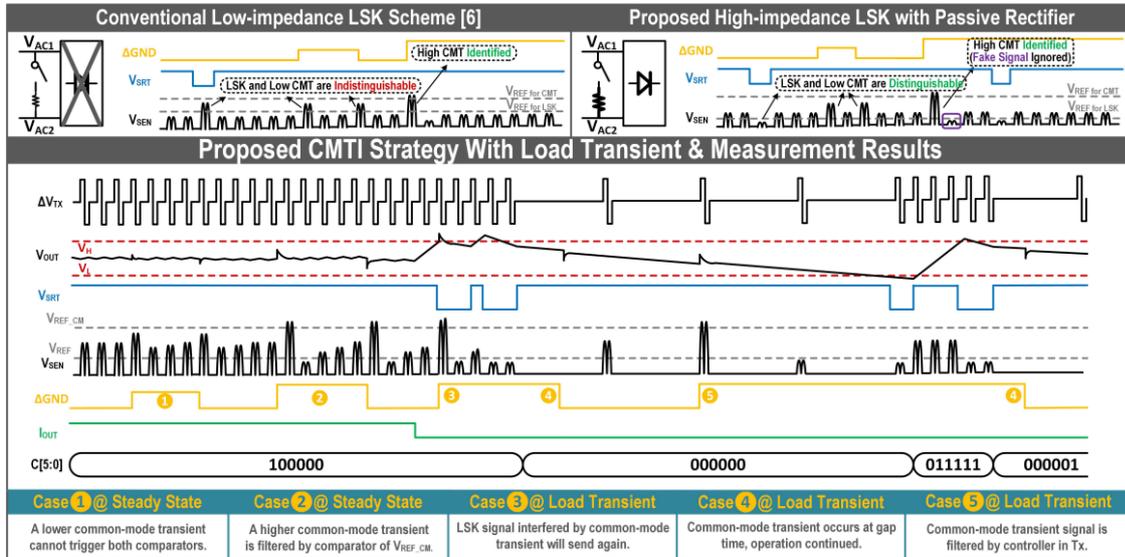
#16-3은 Macau 대학에서 발표한 논문이다. EH 분야의 Constant Energy Packet Extraction (CEPE) MPPT 방법은 DCM으로 인덕터 전류를 부하에 전달하되,  $t_{ON}$ 이  $t_{OFF}$ 보다 충분히 클 경우  $t_{OFF}$ 에서의 에너지를 무시하고 근사하여 일정한 에너지를 부하에 전달시켜,  $t_{ON}$ 과  $V_{IN}$ 의 곱이 일정한 가정 하에 부하에 보낸 Packet 수를 Counting하여 최대 Extracted Power를 판단하는 방식이다. 부스트 컨버터를 통해  $t_{ON} \times V_{IN}$ 이 일정하도록  $V_{IN}$ 을 Regulation하며 Hill-Climbing 방식처럼 제한된 시간 안에 가장 많은 Packet을 전달하는 동작점을 찾는다. 기존의 CEPE는 VCR이 낮은 경우에 실제 전달하는 한 Packet의 Energy의 근사치와 실제 값의 오차가 커지는데, 본 논문은 낮은 VCR에서도 작은 오차를 가지는  $t_{OFF}$  Compensated CEPE를 제안하여 wide-VCR High MPPT Efficiency를 달성하였다.

#16-4는 Delft 공대에서 발표한 논문이다. Triboelectric Nanogenerator (TENG)은 SSHI 방

법을 사용할 경우 높은 Open Circuit Voltage ( $V_{OC}$ )으로 높은 Flipping Efficiency를 위해서 큰 인덕터를 사용해야하는 단점이 있고, FOCV 방법으로 MPPT를 할 경우 높은  $V_{OC}$ 를 측정해야하는 어려움이 있다. 본 논문은 TENG의 작은  $C_T$ 값을 활용해 SSHC 방법을 사용, Positive/Negative Phase 별로 변화하는  $C_T$ 값을 고려하여 SSHC-P Cell과 SSHC-N Cell을 활용하여 Dual Output Rectifier를 구성하였고, MOM Capacitor를 이용하여 SSHC-P, N Cell을 완전 집적하여 설계하였다. Positive/Negative Phase 때 변하는  $C_T$ 값에 의해 Rectifier의 optimal Cut-off Duty Cycle이 50%에서 벗어나며, 두 Phase에서 Rectifier로 Conducting 모두 일어나는 경우와 Negative Phase에서는 conducting이 일어나지 않는 경우 MPPT Cut-off Duty Cycle이 달라지며 이를 추종하는 MPPT Logic을 제안하였다. 그 결과 99%의 MPPT Efficiency와 FBR 대비 598%의 Energy Extraction 개선을 달성하였다.

**#16-5**는 Delft 공대에서 발표한 논문이다. PT로부터 더 많은 파워를 추출하기 위한 방법으로 사용하는 SSH Rectifier는 높은 Voltage Flipping Efficiency가 요구되지만, 일정 수준 이상의 VFE는 Maximum Power Point가 CMOS의 Breakdown voltage를 넘어서는 경우가 있어 low-Flipping Efficiency를 사용하며 CMOS Technology로 Design하기도 한다. 하지만, 낮은 Flipping Efficiency로 인한 Output Power 감소는 불가피하다. 본 논문은 공진형 SSH Rectifier를 제안하여 low Flipping Efficiency로 인해 발생하는 큰 Flipping Loss를 공진을 이용해 Energy를 Recycle하며 높은 power를 추출하는 기법을 제안한다. 그 결과 기존의 Active SSH 대비 1.57배의 power enhancement를 달성하였다.

**#16-6**은 중국과학기술대학/CLT Microelectronics에서 발표한 논문이다. 본 논문은 Galvanic Isolation된 DC-DC Converter의 Regulation을 위한 RX to TX Back Telemetry로서 LSK를 사용할 때 LSK 신호와 Common Mode Transient 신호를 구분할 수 없는 문제를 해결하기 위한 Common Mode Transient Immunity (CMTI) 기법을 제안하였다. 아래 그림 3과 같이 Output 전압은 Hysteresis Window 내에서 Regulation되며, Hysteresis Window를 벗어날 시 LSK를 통해 TX로 Over/Under Power 상태를 전달한다. 이 때 Common Mode Transient로 인해 LSK 신호 방해를 구분하기 위해 두 개의 Threshold를 가진 Comparator로 LSK와 작은 CMT를 구분가능하게 하였고, 큰 CMT 신호를 구분, 검출 시 LSK로 재전송 및 무시할 수 있도록 설계하였다. 그 결과 30V 가량의 Ground Potential 차이 및 110mA Step의 Load Transient에도 20mV 이내의 output ripple을 달성하였다.



[그림 3] Back-Telemetry Global Regulation을 위한 LSK와 CMT를 구분하게 하는 CMTI 설명

#16-7은 중국과학기술대학/CLT Microelectronics에서 발표한 논문이다. 본 논문은 High-Voltage isolated DC-DC Converter의 TX 단에서 큰 전력 소모를 차지하는 Gate Driving을 높은 Power Density와 효율로 가능하게 하기 위해 Aux-Substrate Transformer를 활용해 5V 전원을 형성하는 방법을 제안하였다. 입력 전압인 24V에서 5V 전원을 만들 시 LDO를 사용할 경우 20%의 효율로 큰 전력 손실을 발생시키지만, 제안하는 방법을 사용할 시 작은 면적으로 79%의 효율을 달성하였고, Adaptive Deadtime 제어를 통해 73%의 최대 전력 전달 효율을 달성하였다.

#16-8은 Fudan 대학에서 발표한 논문이다. 본 논문은 Medium-to-High Power Application에 적합한 LLC Converter를 Hybrid Hysteretic Control로 제어할 시 틀어지는 50%의 Duty Pulse를 Trimming하는 기법을 제안하였다. Ramp를 형성하는 Current Source의 차이와 Pulswidth의 차이에 의한 Duty Unbalancing을 제거하기 위해 Ramp를 형성하는 Source/Sink Current Source에 병렬 전류원을 연결하여 두 전류의 합이 일정하도록 Negative Feedback을 형성하여 50%의 Duty Balancing을 맞추었다. 또한, Light load에서의 효율을 향상시키기 위해 Burst Mode Control로 동작하도록 설계하였다. 그 결과, 5.347us 4.878us의 Duty에서 4.91us, 4.87us의 Pulswidth를 달성하였고 390V 입력 전압, 24V 출력 전압, 0.1A 부하에서 88.37%의 높은 light load efficiency를 달성하였다.

## 저자정보



### 명예기자 박수연

- 소속 : KAIST 전기 및 전자공학부 박사과정
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://www.icdesignlab.net>

# 2024 IEEE CICC Review

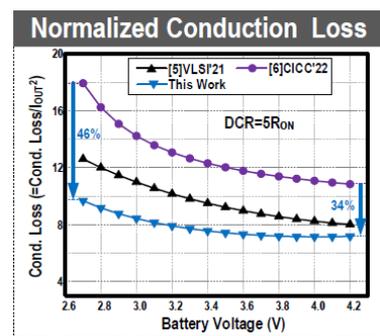
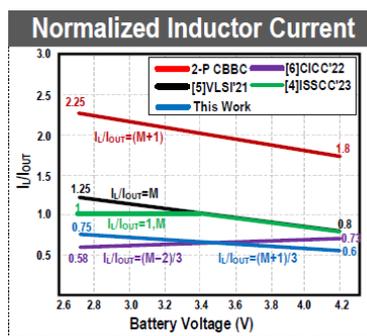
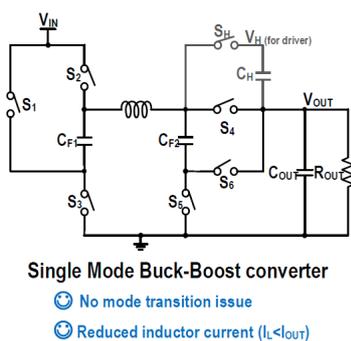
경북대학교 전자전기공학부 박사과정 여성일

## Session 22. DC-DC Converters

이번 CICC 2024의 Session 22는 DC-DC Converters 라는 주제로 총 8편의 논문이 발표되었다. Inductor loss를 줄이거나 Transient response를 빠르게 하는 등 다양한 기술이 들어간 DC-DC Converter에 관련된 논문이 소개되었다.

### 22-1

이 논문은 University of Science and Technology of China에서 발표한 논문으로 Li-ion battery를 입력으로 하는 시스템에 사용되는 Buck-Boost Converter에 관련된 논문이다. 기존 Buck-Boost Converter는 Efficiency를 위해 mode를 나누거나 volume이 큰 인덕터를 사용하고 있었다. 이러한 방법은 모드 변환 시 문제가 발생할 수 있고 면적이 넓어진다는 단점이 있다. 본 논문에서는 이러한 단점을 개선하기 위해 Single-Mode Always-Dual-Path Buck-Boost Converter를 제안하고 있다. 그림 1에서 볼 수 있듯 단일 모드로 동작하며 모드 변환 시 발생할 수 있는 문제를 없앴으며 전류의 path를 항상 2개로 가져가 인덕터 전류를 줄일 수 있었다.

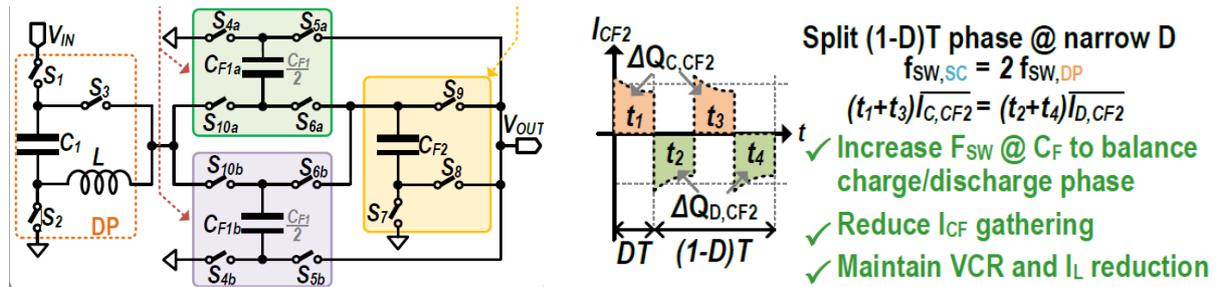


[그림 1] 22-1에서 제안하는 Power stage와 주요 지표 비교

### 22-4

이 논문은 University of Macau에서 발표한 논문으로 전기 자동차나 USB-PD와 같이 48V

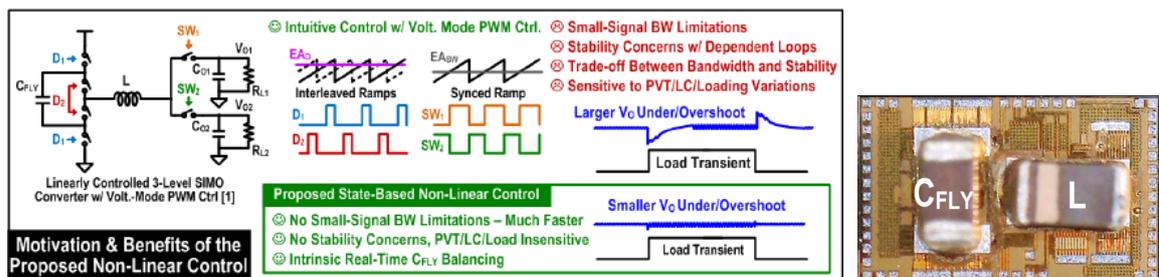
전압을 입력으로 하는 시스템에 사용되는 DC-DC Converter에 관련된 논문이다. 기존의 converter들은 High step down ratio 상황에서 높은 효율과 전력 밀도를 확보하는데 어려움이 있었다. 이 논문은 그림 2에서 볼 수 있듯이 multi-phase 동작을 통해 capacitor가 방전할 때 peak current가 발생하는 것을 막을 수 있었고 multi-path 동작을 통해 inductor에 흐르는 전류를 감소시켜 inductor loss를 줄일 수 있었다. 또한 이 구조는 2개의 모드로 동작하며 9V-48V라는 넓은 입력 전압 범위에서 원하는 출력 전압을 만들어내고 있다.



[그림 2] 제안하는 구조의 Conceptual diagram

## 22-5

이 논문은 Iowa State University에서 발표한 논문으로 3-Level Single-Inductor Multiple-Output (SIMO) DC-DC Converter에 관련된 논문이다. SIMO converter는 하나의 인덕터만을 사용해 여러 개의 출력을 만들어 낼 수 있기 때문에 비용과 면적 면에서 장점이 있다. 하지만 여러 개의 출력이 서로 영향을 줄 수 있기 때문에 이를 제어하는 것이 중요하다. 기존의 3-level SIMO converter들은 linear voltage-mode PWM control을 사용하였는데 이러한 방식은 직관적이나 bandwidth 제한이 있어 제어하는데 어려움이 있었다. 이 논문은 그림 3에서 볼 수 있듯이 non-linear inductor charge control 방식을 이용하여 droop를 줄이고 더 좋은 load transient 성능을 보여줄 수 있다. 이를 통해 기존 논문에서 250mA 이하이던 load step을 1A까지 올릴 수 있었다. 또한 수동 소자를 chip 위에 위치 시킴으로써 기생 성분을 줄여 더 나은 신뢰성과 효율을 보여주고 있다.



[그림 3] 제안하는 구조의 동작 원리와 Die photo

## 저자정보

---



### 명예기자 여성일

- 소 속 : 경북대학교 전자전기공학부 박사과정
  - 연구분야 : DC-DC Converter
  - 이 메 일 : sungil1020@knu.ac.kr
  - 홈페이지 : <https://sites.google.com/view/icslab>
-